

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244462  
 (43)Date of publication of application : 07.09.2001

(51)Int.CI. H01L 29/78

(21)Application number : 2000-055387

(71)Applicant : SHINDENGEN ELECTRIC MFG CO LTD

(22)Date of filing : 01.03.2000

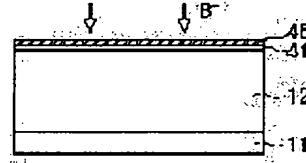
(72)Inventor : KITADA MIZUE  
 TAKEMORI TOSHIYUKI  
 KURI SHINJI

## (54) TRANSISTOR AND METHOD OF MANUFACTURING THE SAME

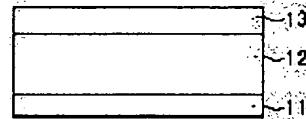
### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a technique for reducing conducting resistance of a transistor.

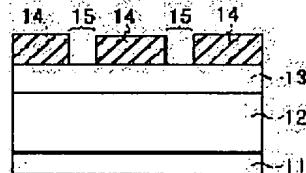
**SOLUTION:** In the power MOSFET1, a semiconductor material 22 of polysilicon in which a low-concentration impurity is doped is disposed below a polysilicon gate 27. Accordingly, a depletion layer is spread to the inside of the semiconductor material below the polysilicon gate 27 and the electric field strength becomes consistent from a surface of a drain layer 12 to a depth of the bottom surface of the semiconductor material 22. Consequently, since no strong electric field is applied to a certain depth intensively, the electric field strength is smaller and the withstand voltage is higher of the transistor 1 than a conventional device. Thus, since it is not necessary to reduce the impurity concentration of the drain layer 12 to secure a high withstand voltage unlike in a conventional device, the impurity concentration of the drain layer 12 can be made higher and the conducting resistance of the transistor 1 can be made lower than the conventional device.



(a)



(b)



(c)

### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-244462  
(P2001-244462A)

(43)公開日 平成13年9月7日(2001.9.7)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 29/78

識別記号  
6 5 3  
6 5 2

F I  
H 0 1 L 29/78

6 5 3 C  
6 5 2 G  
6 5 2 S

テマコード\*(参考)

(21)出願番号 特願2000-55387(P2000-55387)  
(22)出願日 平成12年3月1日(2000.3.1)

(71)出願人 000002037  
新電元工業株式会社  
東京都千代田区大手町2丁目2番1号  
(72)発明者 北田 瑞枝  
埼玉県飯能市南町10番13号 新電元工業株  
式会社飯能工場内  
(72)発明者 竹森 傑之  
埼玉県飯能市南町10番13号 新電元工業株  
式会社飯能工場内  
(72)発明者 九里 伸治  
埼玉県飯能市南町10番13号 新電元工業株  
式会社飯能工場内  
(74)代理人 100102875  
弁理士 石島 茂男 (外1名)

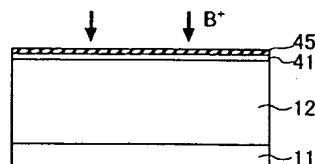
(54)【発明の名称】トランジスタ及びその製造方法

(57)【要約】

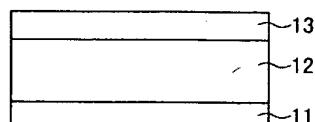
【課題】トランジスタの導通抵抗が低くなる技術を提供する。

【解決手段】本発明のパワーMOSFET 1では、ポリシリコンゲート27の下方に、低濃度不純物がドープされたポリシリコンからなる半導体材料22が配置されている。このため、空乏層は、ポリシリコンゲート27の下方の半導体材料22の内部まで広がり、ドレイン層12の表面から半導体材料22の底面までの深さで電界強度が一定になる。このため、ある深さに集中的に強い電界が加わらないので、電界強度は従来に比して小さくなり、トランジスタ1の耐圧が高くなる。従って、従来のように高い耐圧を確保するために、ドレイン層12の不純物濃度を低くする必要がないので、ドレイン層12の不純物濃度を従来に比して高くすることができ、トランジスタ1の導通抵抗を小さくすることが可能になる。

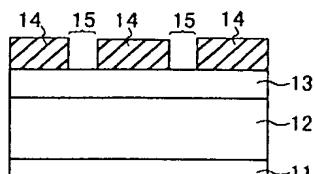
(a)



(b)



(c)



## 【特許請求の範囲】

【請求項1】第1導電型のドレイン層と、前記ドレイン層上に配置され、前記第1導電型とは異なる導電型である第2導電型の反対導電領域とを有する半導体基板と、前記ドレイン層内的一部に配置され、前記第2導電型の不純物物質を含有するポリシリコンと、前記半導体基板の前記反対導電領域側から形成され、前記ポリシリコンに達するゲート孔と、前記ゲート孔の内周面に位置し、前記ドレイン層と前記反対導電領域とソース領域とに亘って配置されたゲート絶縁膜と、前記ゲート絶縁膜に密着し、前記ポリシリコンと絶縁された状態で、前記ゲート孔内に配置されたゲート電極膜と、前記反対導電領域内に形成され、前記ゲート孔に隣接した位置の前記半導体基板の表面に形成された第1導電型のソース領域とを有することを特徴とするトランジスタ。

【請求項2】前記ポリシリコンと前記ゲート電極膜とは、前記ゲート絶縁膜で絶縁されたことを特徴とする請求項1記載のトランジスタ。

【請求項3】第1導電型のドレイン層と、前記ドレイン層上に配置され、前記第1導電型とは異なる導電型である第2導電型の反対導電領域とを有する半導体基板と、前記ドレイン層内的一部に配置され、内部に空乏層を形成できるように構成された半導体材料と、前記半導体基板の前記反対導電領域側から形成され、前記半導体材料に達するゲート孔と、前記ゲート孔の内周面に位置し、前記ドレイン層と前記反対導電領域とソース領域とに亘って配置されたゲート絶縁膜と、前記ゲート絶縁膜に密着して前記ゲート孔内に配置され、前記半導体材料と絶縁されたゲート電極膜と、前記反対導電領域内に形成され、前記ゲート孔に隣接した位置の前記半導体基板の表面に形成された第1導電型のソース領域とを有するトランジスタであって、前記半導体材料は、前記半導体基板の前記反対導電領域側から形成され、前記ドレイン層内部に達する深孔の底部に充填され、前記ゲート孔は、前記半導体材料の表面と前記深孔の内周面とで形成されることを特徴とするトランジスタ。

【請求項4】前記半導体材料と前記ゲート電極膜とは、前記ゲート絶縁膜で絶縁されたことを特徴とする請求項3記載のトランジスタ。

【請求項5】第1導電型のドレイン層と、前記ドレイン層上に配置され、前記第1導電型とは異なる導電型である第2導電型の反対導電領域とを有する半導体基板に、前記反対導電領域側から、前記ドレイン層に達する深孔を形成する工程と、前記深孔内に、前記深孔の底面から、前記反対導電領域

まで達しない深さまで、内部に空乏層を形成できるよう構成された半導体材料を充填する工程と、前記半導体材料表面から、該半導体材料表面と前記深孔とで構成されるゲート孔の内周面にわたって、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に密着するように、前記ゲート孔内に、前記第1導電型の不純物が拡散されたゲート電極膜を形成する工程と、

前記ゲート孔の周囲の前記半導体基板表面に、第1導電型のソース領域を形成する工程とを有することを特徴とするトランジスタの製造方法。

【請求項6】前記半導体材料は、前記第2導電型不純物を含有するポリシリコンであることを特徴とする請求項5記載のトランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はトランジスタ及びその製造方法に関し、特に、電源回路等に多用されるパワーMOSFETと、その製造方法に関する。

## 【0002】

【従来の技術】図12、図13の符号101に、従来のトレンチ型パワーMOSFETを示す。図13は、図12のX-X線断面図である。なお、図12、13において、同じ部材については同じ符号で示している。

【0003】このパワーMOSFET101は、図13に示すように、N<sup>-</sup>型シリコン基板111上に、N<sup>-</sup>型エピタキシャル層からなるドレイン層112と、P型のP-body領域113とが順次形成されてなる半導体基板を有している。

【0004】P-body領域113には、底部がドレイン層112まで達する断面が矩形の溝が複数形成され、それぞれが互いに平行になるように配置されている。隣接する溝の間の位置には、P-body領域113の表面から所定深さにP<sup>+</sup>型拡散領域116が形成されている。P<sup>+</sup>型拡散領域116の周囲であって、溝の開口周辺には、P-body領域113の表面からドレイン層112に達しない程度の深さまで、N<sup>-</sup>型のソース領域130が形成されている。

【0005】他方、溝の内周面及び底面にはゲート絶縁膜124が形成されており、ゲート絶縁膜124の表面には、溝内部を充填し、その上端がソース領域130の下端よりも上部に位置するようにポリシリコングート127が形成されている。

【0006】ポリシリコングート127の上部には、PSG(Phospho-Silicate Glass)膜131が形成され、PSG膜131と半導体基板の表面とを被覆するようにA1からなるソース電極膜137が形成されている。ポリシリコングート127とソース電極膜137とは、PSG膜131によって電気的に絶縁されるようにされている。また、半導体基板の裏面には、ドレイン電極膜19

1が形成されている。

【0007】このような構造のパワーMOSFET101では、ソース電極膜137とドレイン層112との間に高電圧を印加した状態で、ポリシリコンゲート127とソース領域130との間に閾値電圧以上の電圧を印加すると、ゲート絶縁膜124とP-body領域113との界面に反転層が形成され、その反転層を通ってドレインからソースに電流が流れる。

【0008】図13のグラフの横軸(E)は電界強度の大きさを示しており、縦軸(y)は、図13に示したパワーMOSFET101のソース領域130の表面を原点とし、その原点からN+型シリコン基板111に垂直に達する線分上の位置を示している。

【0009】図13のY-Y線は、ソース領域130内的一点から、P+型拡散領域116を通らず、P-body領域113とドレイン層112とを通ってN+型シリコン基板111に垂直に達する線分を示しており、図13中の折れ線(b)は、そのY-Y線上の位置と電界強度の関係を示すグラフである。

【0010】電界強度Eは図13に示すようにP-body領域113とドレイン層112とで形成されるpn接合の部分で強い電界が集中的に加わる。電界強度を小さくして、十分な耐圧を確保するためには、ドレイン層112の濃度を低くし、空乏層を広がりやすくすればよいが、その場合には、パワーMOSFET101の導通抵抗が増大してしまうという問題が生じていた。

【0011】

【発明が解決しようとする課題】本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、本発明のトランジスタの耐圧が従来と同じ耐圧である場合に、トランジスタの導通抵抗 $R_{on}$ を従来に比べて小さくすることが可能となる技術を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、トランジスタであって、第1導電型のドレイン層と、前記ドレイン層上に配置され、前記第1導電型とは異なる導電型である第2導電型の反対導電領域とを有する半導体基板と、前記ドレイン層内の一部に配置され、前記第2導電型の不純物物質を含有するポリシリコンと、前記半導体基板の前記反対導電領域側から形成され、前記ポリシリコンに達するゲート孔と、前記ゲート孔の内周面に位置し、前記ドレイン層と前記反対導電領域とソース領域とに亘って配置されたゲート絶縁膜と、前記ゲート絶縁膜に密着し、前記ポリシリコンと絶縁された状態で、前記ゲート孔内に配置されたゲート電極膜と、前記反対導電領域内に形成され、前記ゲート孔に隣接した位置の前記半導体基板の表面に形成された第1導電型のソース領域とを有することを特徴とする。請求項2記載の発明は、請求項1記載の

トランジスタであって、前記ポリシリコンと前記ゲート電極膜とは、前記ゲート絶縁膜で絶縁されたことを特徴とする。請求項3記載の発明は、第1導電型のドレイン層と、前記ドレイン層上に配置され、前記第1導電型とは異なる導電型である第2導電型の反対導電領域とを有する半導体基板と、前記ドレイン層内の一部に配置され、内部に空乏層を形成できるように構成された半導体材料と、前記半導体基板の前記反対導電領域側から形成され、前記半導体材料に達するゲート孔と、前記ゲート孔の内周面に位置し、前記ドレイン層と前記反対導電領域とソース領域とに亘って配置されたゲート絶縁膜と、前記ゲート絶縁膜に密着して前記ゲート孔内に配置され、前記半導体材料と絶縁されたゲート電極膜と、前記反対導電領域内に形成され、前記ゲート孔に隣接した位置の前記半導体基板の表面に形成された第1導電型のソース領域とを有するトランジスタであって、前記半導体材料は、前記半導体基板の前記反対導電領域側から形成され、前記ドレイン層内部に達する深孔の底部に充填され、前記ゲート孔は、前記半導体材料の表面と前記深孔の内周面とで形成されることを特徴とする。請求項4記載の発明は、請求項3記載のトランジスタであって、前記半導体材料と前記ゲート電極膜とは、前記ゲート絶縁膜で絶縁されたことを特徴とする。請求項5記載の発明は、トランジスタの製造方法であって、第1導電型のドレイン層と、前記ドレイン層上に配置され、前記第1導電型とは異なる導電型である第2導電型の反対導電領域とを有する半導体基板に、前記反対導電領域側から、前記ドレイン層に達する深孔を形成する工程と、前記深孔内に、前記深孔の底面から、前記反対導電領域まで達しない深さまで、内部に空乏層を形成できるように構成された半導体材料を充填する工程と、前記半導体材料表面から、該半導体材料表面と前記深孔とで構成されるゲート孔の内周面にわたって、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に密着するように、前記ゲート孔内に、前記第1導電型の不純物が拡散されたゲート電極膜を形成する工程と、前記ゲート孔の周囲の前記半導体基板表面に、第1導電型のソース領域を形成する工程とを有することを特徴とする。請求項6記載の発明は、請求項5記載のトランジスタの製造方法であって、前記半導体材料は、前記第2導電型不純物を含有するポリシリコンであることを特徴とする。

【0013】本発明のトランジスタによれば、ゲート電極が内部に充填されたゲート孔の下方には、不純物を含むポリシリコンが配置されている。このため、空乏層はゲート電極下方のポリシリコン内にまで形成され、反対導電型領域から、ドレイン層内でポリシリコンの底面が位置する深さまでは、空乏層が広がり、半導体基板内部での深さ方向の電界強度が一定になる。このため、ある深さに集中的に強い電界が加わるということがないので、電界強度は従来に比して小さくなる。これにより、

従来に比してトランジスタの耐圧が高くなる。

【0014】従って、従来のように高い耐圧を確保するために、ドレイン層の不純物濃度を低くする必要がないので、ドレイン層の不純物濃度を従来に比して高くすることができ、トランジスタの導通抵抗を小さくすることが可能になる。

【0015】また、本発明の別のトランジスタによれば、内部に空乏層が形成できる半導体材料が、深孔の底部に充填されており、ゲート電極は、半導体材料表面と、深孔の内周面とで構成されるゲート孔内に充填されている。

【0016】このため、空乏層は、反対導電型領域から、半導体材料の底面が位置する深さまで広がり、半導体基板内部での深さ方向の電界強度が一定になる。さらに、本発明のトランジスタの製造方法によれば、深孔を形成した後に、その深孔の底部に、空乏層が内部に形成可能な半導体材料を充填させ、半導体材料表面と、該半導体表面と深孔の内周面とで構成されるゲート孔の内周面にゲート絶縁膜を形成し、ゲート絶縁膜と密着するように、ゲート孔内にゲート電極膜を形成している。

【0017】このため、ポリシリコン層とゲート電極膜とを、ゲート絶縁膜で絶縁した状態で、ゲート電極膜の下方にポリシリコン層を容易に形成することができるで、空乏層をこのポリシリコン層内に形成して、ドレイン層内部での電界強度を均一にすることができる。

【0018】

【発明の実施の形態】以下で図面を参照し、本発明の実施の形態について説明する。まず、図1(a)乃至図7(u)を参照して、本発明の実施形態のトレンチ型パワーMOSFETの製造方法について説明する。なお、図内で、同じ部材については、同じ符号で示している。

【0019】まず、抵抗率が $0.003\Omega\cdot\text{cm}$ のN+シリコン基板11の表面上に、厚み $1.8\sim2\mu\text{m}$ のN+型エピタキシャル層からなるドレイン層12を形成し、熱酸化処理をして、ドレイン層12の全表面にSiO<sub>2</sub>膜45を成膜した後、そのSiO<sub>2</sub>膜45を介してドレイン層12内部にポロンイオン(B<sup>+</sup>)を注入すると、ドレイン層12内部の表面近くにP型注入層41が形成される(図1(a))。次いで、熱処理するとP型注入層がドレイン層12内に拡散し、ドレイン層12の表面から $1.2\mu\text{m}$ の深さまで、P型のP-body領域13が形成される(図1(b))。

【0020】次いで、その表面に、細長の開口15が所定間隔をおいて互いに平行になるように複数形成されたレジスト膜14を形成し(図1(c))、その開口15から、P-body領域13内にポロンイオン(B<sup>+</sup>)を注入すると、細長のP+型注入層19が複数形成される(図2(d))。

【0021】次に、レジスト膜14を除去し、熱処理するとP+型注入層19がP-body領域13内で拡散し、

P-body領域13の表面から、 $1.0\mu\text{m}$ 程度の深さに、細長のP+型拡散領域16が複数形成される(図2(e))。これらのP+型拡散領域16は互いに平行になるよう配置されている。

【0022】その後、全面にCVD法でSiO<sub>2</sub>膜17を成膜する(図2(f))。次いで、互いに隣接するP+型拡散領域16の間の位置に、細長の開口19が形成されたレジスト膜18をSiO<sub>2</sub>膜17の表面に形成する(図3(g))。

【0023】次に、レジスト膜18をマスクにしてSiO<sub>2</sub>膜17をエッチングして、P-body領域13の表面を露出させる(図3(h))。その後、レジスト膜18を除去し、SiO<sub>2</sub>膜17をマスクにしてP-body領域13及びドレイン層12をエッチングすると、SiO<sub>2</sub>膜17からP-body領域13を貫通してドレイン層12まで達する断面が矩形で細長の深孔20が複数形成される(図3(i))。これらの深孔20は、互いに平行になるように半導体基板上に位置し、かつP+型拡散領域16とは接しないよう配置されている。また、深孔20の底面は、ドレイン層12の上端より下方に位置し、半導体基板の表面から $1.2\mu\text{m}$ の深さに位置するようになっている。

【0024】次いで、SiO<sub>2</sub>膜17の表面から深孔20の内部にわたって、ポロンイオンがドープされたポリシリコン薄膜21を堆積させると、深孔20内部は、形成されたポリシリコン薄膜21で充填される(図4(j))。

【0025】次に、ポリシリコン薄膜21のエッチングを所定時間行い、半導体基板上のポリシリコン薄膜21を除去すると共に、深孔20内にはポリシリコン薄膜21が残存した状態になるまでエッチングを行う。こうして深孔20内に残存したポリシリコン薄膜により、本発明の半導体材料22が構成される(図4(k))。この半導体材料22は細長で複数形成され、互いに平行になるよう配置される。また、半導体材料22の表面は、ドレイン層12の表面よりも下方に位置しており、実際には半導体基板表面から $1.6\mu\text{m}$ の深さに位置している。この状態で、半導体材料22の表面と、深孔20の内周面とで形成される孔により、本発明のゲート孔23が構成される。このゲート孔23は、深孔20と同様に、細長に形成されることになる。この状態ではゲート孔23内周面には、シリコンが露出し、底面では半導体材料22の表面が露出している。

【0026】次に、熱酸化処理を行うと、半導体基板のシリコンが露出した部分及びゲート孔23内に露出する半導体材料22が酸化され、ゲート孔23の内周面から半導体材料22の表面にわたって、ゲート絶縁膜24が成膜される(図4(l))。

【0027】次いで、SiO<sub>2</sub>膜17の表面からゲート孔23の内部にわたって、リンイオンがドープされたポリシリコン薄膜26を堆積させると、ゲート孔23内部は、形成されたポリシリコン薄膜26で充填される(図5

(m))。

【0028】次に、ポリシリコン薄膜26のエッティングを所定時間行い、SiO<sub>2</sub>膜17上のポリシリコン薄膜21が完全に除去され、ゲート孔23内に残存した状態でエッティングを終了させる。以下ではゲート孔23内に残存したポリシリコン薄膜をポリシリコンゲートと称し、符号27に示す(図5(n))。このポリシリコンゲート27は細長であって、複数形成され、それぞれが互いに平行になるように配置されており、その底面は、ドレイン層12の表面よりも下方に位置している。

【0029】次いで、SiO<sub>2</sub>膜17をエッティング・除去してP-body領域13の表面を露出し(図5(o))、その後、P+型拡散領域16の短辺の中央位置に位置し、かつ長手方向に沿って延設され、細長の開口47が形成されたレジスト膜28を形成する(図6(p))。これらの開口47からは、P+型拡散領域16とP-body領域13の一部が露出している。

【0030】その後、レジスト膜28をマスクにして、P-body領域13表面に砒素イオン(A s<sup>+</sup>)を注入すると、開口47から露出するP+型拡散領域16とP-body領域13の一部にN+型注入層39が形成される(図6(q))。

【0031】次いでレジスト膜28を除去し、熱処理を行うと、N+型注入層39がP-body領域13内で拡散され、ゲート孔23周辺のP-body領域13の表面から深さ方向にN+型不純物拡散層からなる細長のソース領域30が複数形成される(図6(r))。これらのソース領域30は、細長のP+型拡散領域16の両側に、その長辺を被覆するように互いに平行に配置されている。

【0032】次に、半導体基板全面にPSG膜31を成膜した後に、レジスト膜32を形成し、レジスト膜32をバーニングして、P+型拡散領域16及びソース領域30の一部が露出する細長の開口35を複数形成する(図7(s))。

【0033】その後、レジスト膜32をマスクにしてPSG膜31をエッティング・除去し、PSG膜31を細長に形成するとともに、P+型拡散領域16とソース領域30の一部を露出させる(図7(t))。次いで、全面にAl薄膜を蒸着法で形成し、ソース電極膜37を形成した後、基板裏面に銅とニッケルとの合金薄膜を蒸着法で形成し、ドレイン電極膜93を成膜することにより、図7(u)に示すようなパワーMOSFETが形成される。

【0034】このような構造のパワーMOSFET1では、ソース電極膜37とドレイン層12との間に高電圧を印加した状態で、ポリシリコンゲート27とソース領域30との間に閾値電圧以上の電圧を印加すると、ゲート絶縁膜24とP-body領域13の界面に反転層が形成され、その反転層を通ってドレインからソースに電流が流れれる。

【0035】図8(b)のグラフの横軸(E)は電界強度の

大きさを示しており、縦軸(y)は、図8(b)に示したパワーMOSFET1のソース領域30の表面を原点とし、その原点からN+型シリコン基板11に垂直に達する線分上の位置を示している。

【0036】図8(b)のB-B線は、ソース領域30内の一点から、P+型拡散領域16を通らず、P-body領域13とドレイン層12とを通ってN+型シリコン基板11に垂直に達する線分を示しており、図8(b)中の折れ線(a)は、そのB-B線上の位置と電界強度の関係を示すグラフである。

【0037】本実施形態のパワーMOSFET1では、ポリシリコンゲート27の下方にゲート絶縁膜24を介して半導体材料22が配置されているので、ポリシリコンゲート27の下方の半導体材料22内にも空乏層が形成される。これにより、P-body領域13とドレイン層12との界面から、半導体材料22の底面までの電界強度Eは、図8(b)に示すように一定になる。

【0038】このため、従来のように集中的に強度の強い電界が加わらず、従来構造のパワーMOSFETと同じ電圧を印加した場合には、P-body領域13とドレイン層12との界面から、半導体材料22の底面までは、従来に比して小さい電界強度の電界が加わるので、従来に比して耐圧が高くなる。

【0039】こうして耐圧が高くなることにより、従来と異なり、十分な耐圧を確保するためにドレイン層12の不純物濃度を低くしなくともよく、従来に比してドレイン層12の不純物濃度を高くすることができる。従って、従来に比して、パワーMOSFET1の導通抵抗R<sub>on</sub>を小さくすることができる。

【0040】パワーMOSFET1の平面図を図8(a)に示す。なお、図8(a)にはソース電極膜37は図示していない。半導体基板上には、ストライプ状のPSG膜31が所定間隔をおいて互いに平行になるように複数本形成され、互いに隣接するPSG膜31の間の位置には、ストライプ状のP+型拡散領域16が形成されており、P+型拡散領域16の両側には、ソース領域30が形成されるように配置されている。

【0041】なお、本実施形態のパワーMOSFET1は、図8(a)に示すように平面にストライプ状の拡散層が形成されたものとしているが、本発明のトランジスタの平面構造は図8(a)の構造に限らず、例えば図9(a)の符号51に示すように、ゲート孔23を網目状に形成して、格子状のゲート電極27を形成し、ゲート電極27で囲まれた各領域内に、矩形形状のソース領域30を形成し、各ソース領域30の中心に、矩形のP+型拡散領域16が形成されるような構成としてもよい。

【0042】また、図9(b)の符号71にその平面構造を示すように、一直線上に並んだ矩形のゲート孔中にポリシリコンゲート27を埋め込み、各ポリシリコンゲート27上に、ポリシリコンからなるストライプ状のゲ

ト電極配線層31を形成し、ゲート電極配線層31の両側に、ストライプ状のソース領域30を配置し、互いに隣接する各ソース領域30の間に、ストライプ状のP型拡散領域16を形成するような構成としてもよい。

【0043】図10(a)は、図9(b)のC-C線断面図であり、図10(b)は、図9(c)のD-D線断面図である。このように、各ポリシリコンゲート27は、その上に直線上に設けられたゲート電極配線層31で互いに接続されているので、ゲート電極配線層31に電圧を印加することで、全てのポリシリコンゲート27に電圧を印加することができる。

【0044】さらに、本実施形態のトランジスタとしてパワーMOSFETについて説明しているが、本発明はこれに限らず、例えば、図11に示すように、N型のシリコン基板11に代えてP+型のシリコン基板11'を用いることで構成されるIGBT(Insulated gate bipolar transistor)91にも適用可能である。

【0045】なお、本実施形態では、N型を第1導電型とし、P型を第2導電型としており、P型ボディ領域15と、P型拡散領域24とで、本発明の反対導電領域の一例を構成しているが、本発明はこれに限らず、P型を第1導電型とし、N型を第2導電型としてもよい。

【0046】また、ソース電極膜37としてAl膜を用いているが、本発明はこれに限らず、例えば銅膜などを用いてもよい。さらに、ドレイン層12をエピタキシャル成長で形成しているが、本発明のドレイン層12の形成方法はこれに限らず、表面拡散で形成してもよい。

【0047】また、上述の実施形態ではいずれも半導体基板としてシリコン基板を用いているが、本発明の半導体基板はこれに限らず、例えばSiC等の基板に適用してもよい。

【0048】さらに、本実施形態では、半導体材料22として、リンイオン(P<sup>+</sup>)がドープされたポリシリコンを用いているが、本発明はこれに限らず、ドレイン層12に添加された不純物とは逆導電型の不純物が添加されたシリコン単結晶としてもよい。

【0049】また、ゲート電極膜としてポリシリコンゲートを用いているが、本発明のゲート電極はこれに限らず、メタルゲートに適用してもよい。さらに、P-body領域13を表面拡散で形成しているが、本発明はこれに限らず、例えばエピタキシャル成長で形成してもよい。

【0050】また、ゲート絶縁膜19としてシリコン酸化膜を用いたが、本発明のゲート絶縁膜19はこれに限らず、例えばシリコン窒化膜を用いてもよいし、シリコン酸化膜とシリコン窒化膜との複合膜を用いてもよい。

【0051】

【発明の効果】パワーMOSFETの耐圧を高くして、

導通抵抗を小さくすることができる。

【図面の簡単な説明】

【図1】(a)：本発明の一実施形態のパワーMOSFETの形成工程を説明する断面図

(b)：その続きの工程を説明する断面図

(c)：その続きの工程を説明する断面図

【図2】(d)：その続きの工程を説明する断面図

(e)：その続きの工程を説明する断面図

(f)：その続きの工程を説明する断面図

【図3】(g)：その続きの工程を説明する断面図

(h)：その続きの工程を説明する断面図

(i)：その続きの工程を説明する断面図

【図4】(j)：その続きの工程を説明する断面図

(k)：その続きの工程を説明する断面図

(l)：その続きの工程を説明する断面図

【図5】(m)：その続きの工程を説明する断面図

(n)：その続きの工程を説明する断面図

(o)：その続きの工程を説明する断面図

【図6】(p)：その続きの工程を説明する断面図

【図7】(s)：その続きの工程を説明する断面図

(t)：その続きの工程を説明する断面図

(u)：その続きの工程を説明する断面図

【図8】(a)：本発明の一実施形態のパワーMOSFETの平面図

(b)：本発明の一実施形態のパワーMOSFETを説明する断面図

【図9】(a)：本発明の他の実施形態のパワーMOSFETの平面図

(b)：本発明のその他の実施形態のパワーMOSFETを説明する平面図

【図10】(a)：本発明のその他の実施形態のパワーMOSFETを説明する第1の断面図

(b)：本発明のその他の実施形態のパワーMOSFETを説明する第2の断面図

【図11】本発明のIGBTの一例を説明する断面図

【図12】従来のパワーMOSFETを説明する平面図

【図13】従来のパワーMOSFETを説明する断面図

【符号の説明】

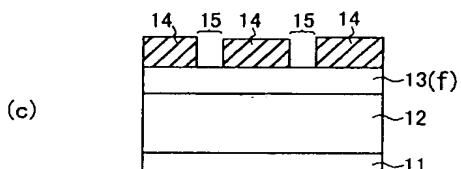
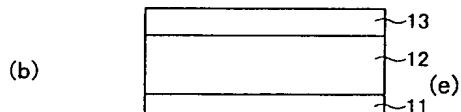
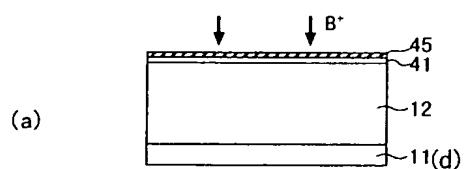
1……パワーMOSFET(トランジスタ) 11……

シリコン基板 12……ドレイン層 13……チャネル領域(反対導電領域) 22……ポリシリコン層

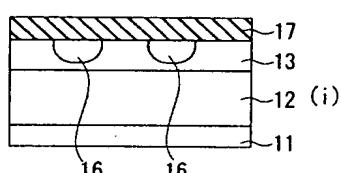
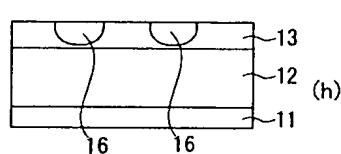
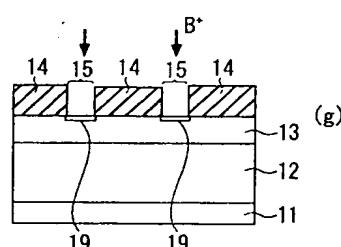
24……ゲート絶縁膜 27……ポリシリコンゲート(ゲート電極膜)

28……絶縁膜 30……ソース領域

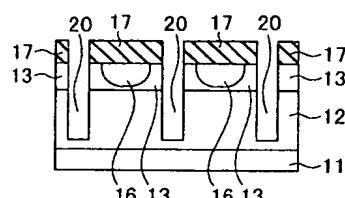
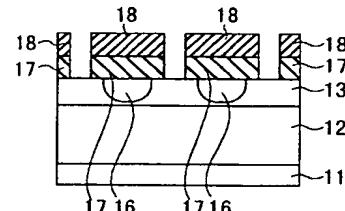
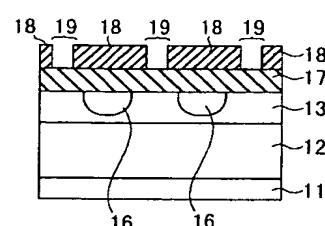
【図1】



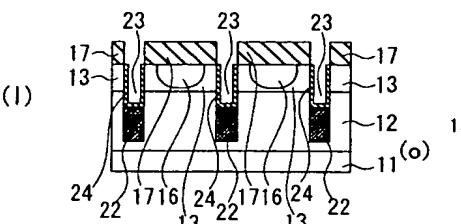
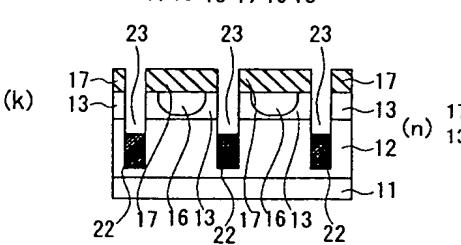
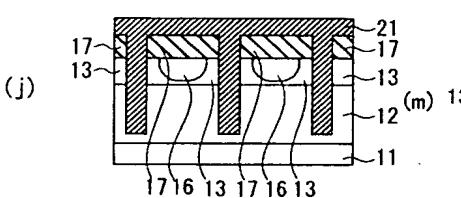
【図2】



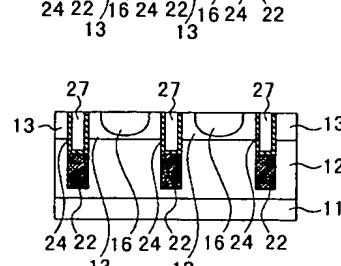
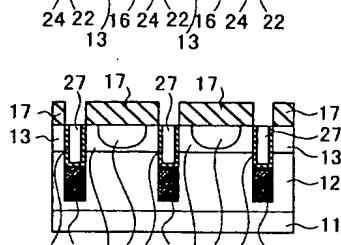
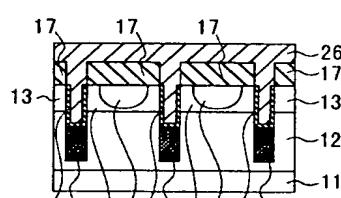
【図3】



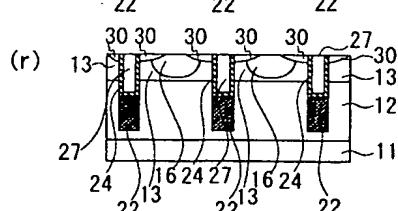
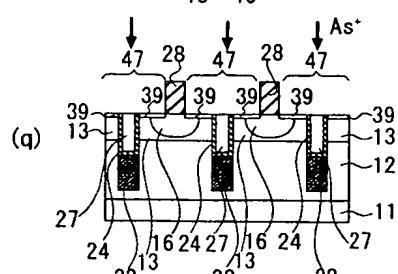
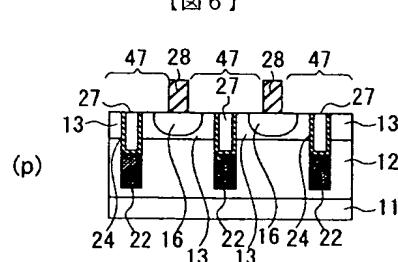
【図4】



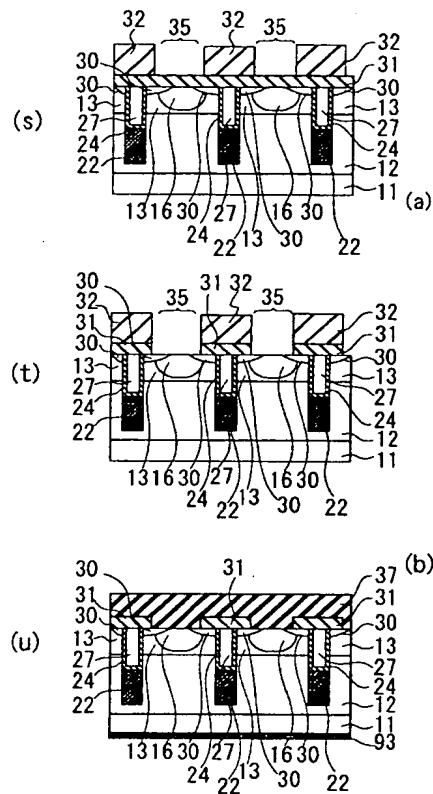
【図5】



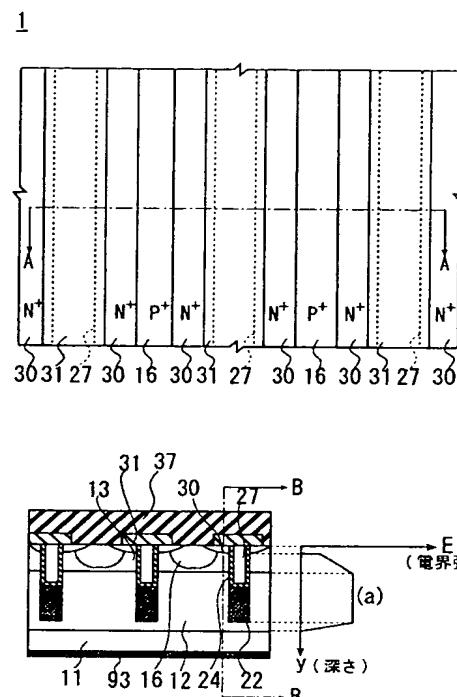
【図6】



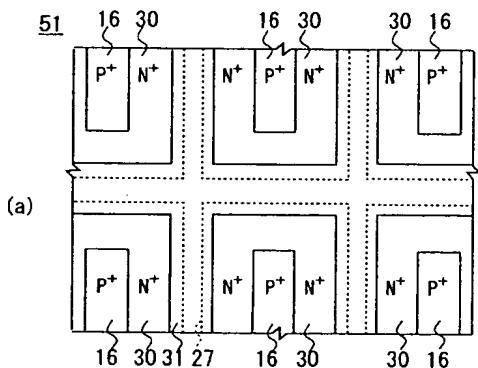
【図7】



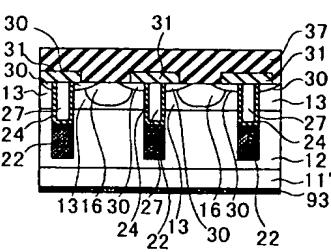
【図8】



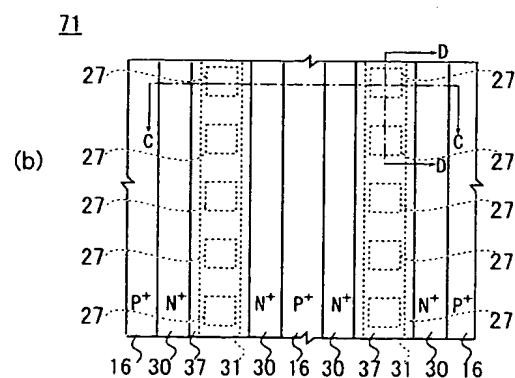
【図9】



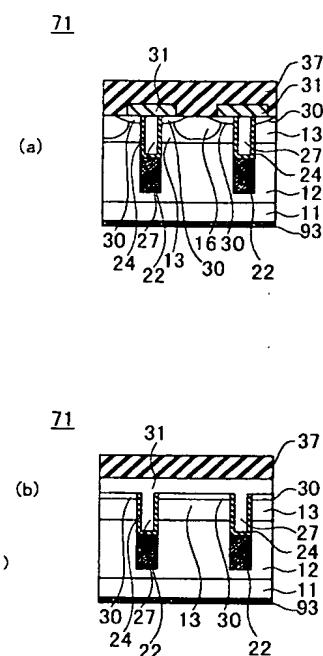
91



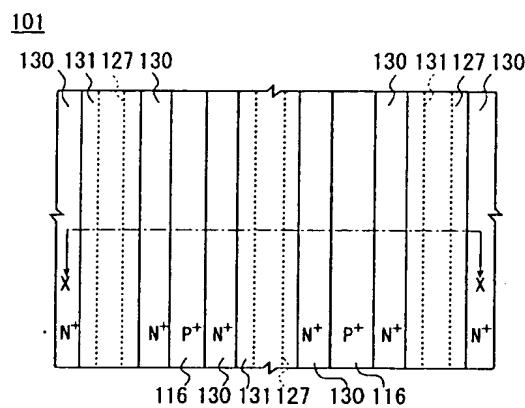
【図11】



【図10】



【図12】



【図13】

